

#5
21 Mar 02
P. Tallo

J1036 U.S. PRO
09/892878



대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

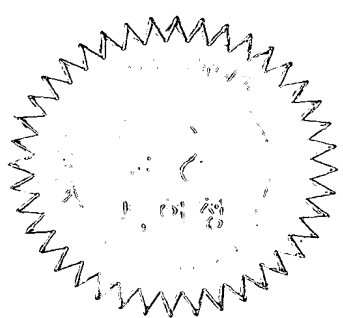
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 36495 호
Application Number

출원년월일 : 2000년 06월 29일
Date of Application

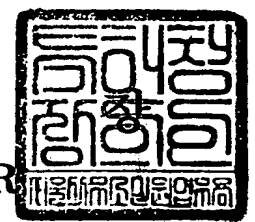
출원인 : 현대전자산업주식회사
Applicant(s)



2000 년 11 월 22 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0010
【제출일자】 2000.06.29
【발명의 명칭】 반도체 소자의 미세 패턴 형성방법 및 이를 이용한 게이트 전극 형성방법
【발명의 영문명칭】 METHOD FOR FORMING FINE PATTERNS AND METHOD FOR FORMING GATE ELECTRODES IN SEMICONDUCTOR DEVICE USING THE SAME
【출원인】
【명칭】 현대전자산업주식회사
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 강성배
【대리인코드】 9-1999-000101-3
【포괄위임등록번호】 1999-024436-4
【발명자】
【성명의 국문표기】 김준동
【성명의 영문표기】 KIM, Jun Dong
【주민등록번호】 681223-1010625
【우편번호】 130-091
【주소】 서울특별시 동대문구 휘경1동 157-19번지 16층 5반
【국적】 KR
【발명자】
【성명의 국문표기】 전범진
【성명의 영문표기】 JUN, Bum Jin
【주민등록번호】 690327-1068716
【우편번호】 441-360
【주소】 경기도 수원시 권선구 고색동 연합대원아파트 101동 1006호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 458,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 미세 패턴 형성방법 및 이를 이용한 반도체 소자의 게이트 전극 형성방법을 개시한다. 개시된 본 발명은 반도체 기판상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상부에 게이트 전극용 도전층을 형성하는 단계; 상기 게이트 전극용 도전층 상부에 저유전막을 형성하는 단계; 상기 저유전막 상부에 노광 한계의 선폭을 갖는 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여, 저유전막을 패터닝하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 패터닝된 저유전막을 수축시키는 단계; 및 수축된 저유전막을 마스크로 하여, 게이트 전극용 도전체 및 게이트 절연막을 패터닝하여, 게이트 전극을 형성하는 단계를 포함한다.

【대표도】

도 2d

【색인어】

저유전율막, SOG막, 미세 패턴

【명세서】

【발명의 명칭】

반도체 소자의 미세 패턴 형성방법 및 이를 이용한 게이트 전극 형성방법{METHOD FOR FORMING FINE PATTERNS AND METHOD FOR FORMING GATE ELECTRODES IN SEMICONDUCTOR DEVICE USING THE SAME}

【도면의 간단한 설명】

도 1a 및 도 1b은 종래의 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 단면도.

도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도.

(도면의 주요 부분에 대한 부호의 설명)

21 - 반도체 기판

22 - 게이트 절연막

23 - 게이트 도전층

24 - 저유전막

25 - 포토레지스트 패턴

G - 게이트 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 반도체 소자의 미세 패턴 형성방법 및 이를 이용한 게이트 전극 형성방법에 관한 것으로, 보다 구체적으로는 0.1 μ m 이하의 선폭을 갖는 반도체 소자의 미세 패턴 형성방법 및 이를 이용한 게이트 전극 형성방법에 관한 것이다.

- <8> 도 1a 및 도 1b은 종래의 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 단면도이다.
- <9> 도 1a를 참조하여, 반도체 기판(11) 상부에 게이트 절연막(12), 도전층(13), 예를 들어, 도핑된 폴리실리콘막, 및 하드 마스크막(14)을 순차적으로 적층된다. 여기서, 하드 마스크막(14)은 게이트 전극을 구성하는 도전층 패터닝시 난반사를 방지하면서, 셀프 얼라인(self align) 콘택을 이루게하는 절연막으로서, 실리콘 산화막 또는 실리콘 질화막이 이용된다. 그리고나서, 하드 마스크막(14) 상부에 공지의 포토리소그래피 공정에 의하여, 포토레지스트 패턴(15)을 형성한다. 여기서, 포토레지스트 패턴(15)의 선포(w)은 현재의 노광 장비로 형성할 수 있는 최소 선포, 즉, 0.12 내지 0.13 μ m이다.
- <10> 그 다음, 도 1b에 도시된 바와 같이, 포토레지스트 패턴(15)의 형태로, 하드 마스크막(15)을 패터닝한다음, 포토레지스트 패턴(15)을 제거한다. 이어서, 패터닝된 하드 마스크막(14)의 형태로 도전층(13) 및 게이트 절연막(12)을 패터닝하여, 게이트 전극(g)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

- <11> 반도체 소자가 고집적화되어 감에 따라, 점차 회로 선포의 사이즈도 이에 비례하여 감소되고 있다. 특히, 차세대 디바이스인 1 기가 디램(Giga DRAM)급 이상의 디바이스에서, 게이트 전극은 0.10 μ m 이하의 선포가 요구된다. 그러나, 기존의 노광 장비로는 0.1 μ m 이하의 선포으로 패터닝하기 매우 어려우며, 이를 위하여는 새로운 장비의 도입이 요구된다.
- <12> 또한, 전자빔을 노광원으로 이용하는 경우는 공정 진행 시간이 많이 소요되므로,

수율이 감소하는 문제점이 있다.

<13> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해결하기 위한 것으로, 기존의 노광 장비를 이용하면서, $0.1\mu\text{m}$ 이하의 선폭을 갖는 미세 패턴을 형성할 수 있는 반도체 소자의 미세 패턴 형성방법을 제공하는 것이다.

<14> 따라서, 본 발명의 또 다른 목적은 상기한 종래의 문제점을 해결하기 위한 것으로, 기존의 노광 장비를 이용하면서, $0.1\mu\text{m}$ 이하의 선폭을 갖는 게이트 전극을 형성할 수 있는 반도체 소자의 게이트 전극 형성방법을 제공하는 것이다.

【발명의 구성 및 작용】

<15> 상기한 본 발명의 목적을 달성하기 위하여, 본 발명은 반도체 기판상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상부에 게이트 전극용 도전층을 형성하는 단계; 상기 게이트 전극용 도전층 상부에 저유전막을 형성하는 단계; 상기 저유전막 상부에 노광 한계의 선폭을 갖는 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여, 저유전막을 패터닝하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 패터닝된 저유전막을 수축시키는 단계; 및 수축된 저유전막을 마스크로 하여, 게이트 전극용 도전체 및 게이트 절연막을 패터닝하여, 게이트 전극을 형성하는 단계를 포함한다.

<16> 또한, 본 발명은, 반도체 기판상에 패턴용 막을 형성하는 단계; 상기 패턴용 막 상부에 저유전막을 형성하는 단계; 상기 저유전막 상부에 노광 한계의 선폭을 갖는 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여, 저유전막을 패터닝하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 패터닝된 저유전막을 수

축시키는 단계; 및 수축된 저유전막을 마스크로 하여, 패턴용 막을 식각하여, 미세 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

<17> (실시예)

<18> 이하, 첨부한 도면에 의거하여, 본 발명의 바람직한 실시예를 설명하도록 한다.

<19> 첨부한 도면 도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 게이트 전극 형성 방법을 설명하기 위한 각 공정별 단면도이다.

<20> 도 2a를 참조하여, 반도체 기판(21) 상부에 게이트 절연막(22), 게이트 전극용 도전체(23) 및 하드 마스크막으로 저유전막(24)을 순차적으로 적층한다. 게이트 전극용 도전체(23)로는 도핑된 폴리실리콘막, 고용점 실리콘사이드막 또는 고용점 금속막등이 이용될 수 있다. 이때, 저유전막(24)은 증착후 열공정시 그 선평 및 두께가 수축되는 성질을 가진다. 이러한 저유전막(24)으로는 유기 또는 무기 SOG(spin on glass)막 등이 있으며, 다음의 표에 도시된 바와 같이, 유기 또는 무기 SOG막은 소정 온도로 경화시 약 10% 가량 수축되는 성질을 갖는다.

<21> 저유전막의 종류	막 수축율	경화 온도	경화 시간
실리케이트 무기	12 내지 14%	425℃, 900℃	1시간
포스포실리케이트 무기 SOG	16 내지 18%	425℃	1시간
실록사니스 유기	2 내지 13%	425℃	1시간
실리세스퀴옥세니스 유기 SOG	12%	400℃	30분
하이드로젠 실리케이트 무기 SOG	8%	400℃	30분
하이드로젠 실리세스퀴옥세 무기 SOG	4%이하	400℃	30 내지 60분

<22> 이러한 저유전막(24)을 증착한후, 약 200℃의 온도에서 소프트 베이킹(soft bake)하여, 고형화한다.

- <23> 그후, 도 2b에 도시된 바와 같이, 저유전막(24) 상부에 공지의 포토리소 그래피 공정에 의하여, 포토레지스트 패턴(25)을 형성한다. 이때, 포토레지스트 패턴(25)은 현재의 노광 장비로서 형성할 수 있는 최소 선폭 즉, 0.12 내지 0.13 μ m의 선폭(W1)을 갖는다.
- <24> 그 다음, 도 2c에서와 같이, 포토레지스트 패턴(25)을 마스크로 하여, 저유전막(24)을 바이어스(bias)의 인가없이, 건식 식각한다.
- <25> 도 2d에 도시된 바와 같이, 포토레지스트 패턴(25)을 스트립한다음, 저유전막(24)을 약 400 내지 500 $^{\circ}$ C 온도 범위로 경화시켜서 수축시킨다. 이 경화 공정으로, 저유전막(24)은 포토레지스트 패턴(25)의 선폭(W1)보다 작은 선폭(W2)으로 감소되어, 0.1 μ m 이하의 선폭을 얻을 수 있다. 이러한 경화 공정은 상술한 바와 같이, 포토레지스트 패턴 제거후 별도로 진행되거나, 또는 포토레지스트 패턴 제거와 동시에 또는 포토레지스트 패턴 제거후 클리닝 공정과 동시에 400 내지 500 $^{\circ}$ C의 온도 범위에서 진행될 수 있다. 아울러, 미설명 도면 부호 24a는 수축된 저유전막을 나타낸다.
- <26> 그런다음, 도 2e에 도시된 바와 같이, 수축된 저유전막(24a)을 마스크로 하여, 게이트 전극용 도전층(23) 및 게이트 절연막(22)을 패터닝하여, 미세 게이트 전극(G)을 완성한다.
- <27> 여기서, 본 발명은 상술한 실시예에만 한정되는 것은 아니다. 본 발명에서는 하드 마스크막으로 단일의 저유전막을 사용하였지만, 이에 한정하지 않고, 다층의 하드 마스크막을 적층하여 더욱 미세한 패턴을 형성할 수 있다. 아울러, 본 발명에서는 게이트 전극을 예를들어 설명하였지만, 미세 선폭을 갖는 모든 패턴에 적용 가능하다.

【발명의 효과】

<28> 이상에서 자세히 설명된 바와 같이, 본 발명에 의하면, 하드 마스크막으로 열공정 시 소정 폭 및 소정 두께만큼 감소되는 저유전막을 이용한다. 이에따라, 노광 한계 사이즈를 갖는 포토레지스트 패턴으로 저유전막을 패터닝 한후, 패터닝된 저유전막을 수축시킨다음, 이를 다시 마스크로 이용함으로써, 노광 한계보다 감소된 선폭의 패턴을 형성할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상부에 게이트 전극용 도전층을 형성하는 단계;

상기 게이트 전극용 도전층 상부에 저유전막을 형성하는 단계;

상기 저유전막 상부에 노광 한계의 선폭을 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여, 저유전막을 패터닝하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 패터닝된 저유전막을 수축시키는 단계; 및

수축된 저유전막을 마스크로 하여, 게이트 전극용 도전체 및 게이트 절연막을 패터닝하여, 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 저유전막은 유기 SOG막 또는 무기 SOG막인 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 저유전막을 형성하는 단계는, 상기 저유전막을 증착하는 단계; 및 상기 저유전막을 소정 온도에서 소프트 베이킹하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.

【청구항 4】

제 3 항에 있어서, 상기 저유전막을 수축시키는 단계는, 400 내지 500℃의 온도에서 경화하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.

【청구항 5】

제 4 항에 있어서, 상기 포토레지스트 패턴을 제거하는 단계와 상기 저유전막을 수축시키는 단계는 동시에 진행되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.

【청구항 6】

반도체 기판상에 패턴용 막을 형성하는 단계;

상기 패턴용 막 상부에 저유전막을 형성하는 단계;

상기 저유전막 상부에 노광 한계의 선폭을 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여, 저유전막을 패터닝하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 패터닝된 저유전막을 수축시키는 단계; 및

수축된 저유전막을 마스크로 하여, 패턴용 막을 식각하여, 미세 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

【청구항 7】

제 6 항에 있어서, 상기 저유전막은 유기 SOG막 또는 무기 SOG막인 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

【청구항 8】

제 6 항 또는 제 7 항에 있어서, 상기 저유전막을 형성하는 단계는, 상기 저유전막을 증착하는 단계; 및 상기 저유전막을 소정 온도에서 소프트 베이킹하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

【청구항 9】

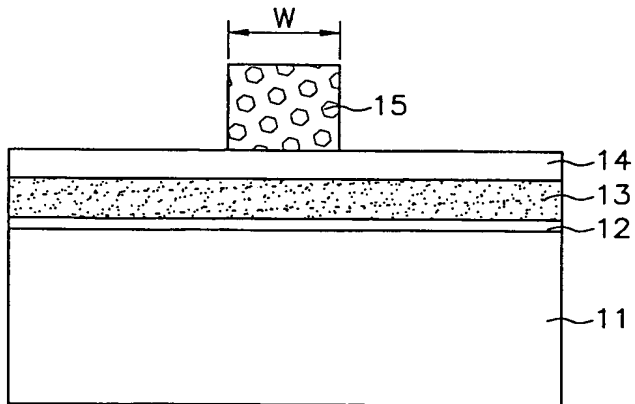
제 6 항에 있어서, 상기 저유전막을 수축시키는 단계는, 400 내지 500℃의 온도에서 경화하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

【청구항 10】

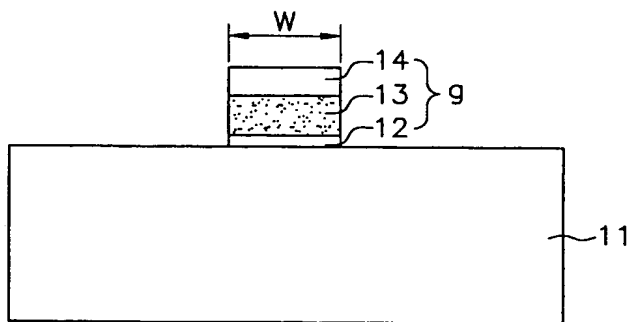
제 9 항에 있어서, 상기 포토레지스트 패턴을 제거하는 단계와 상기 저유전막을 수축시키는 단계는 동시에 진행되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

【도면】

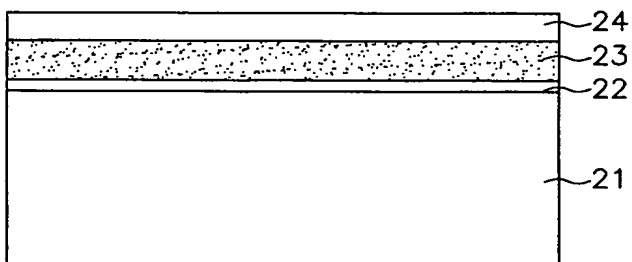
【도 1a】



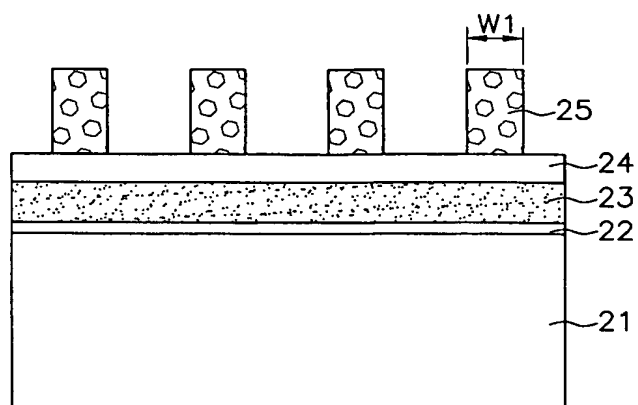
【도 1b】



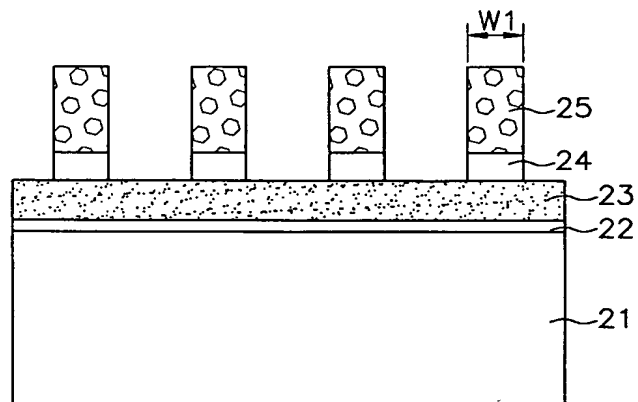
【도 2a】



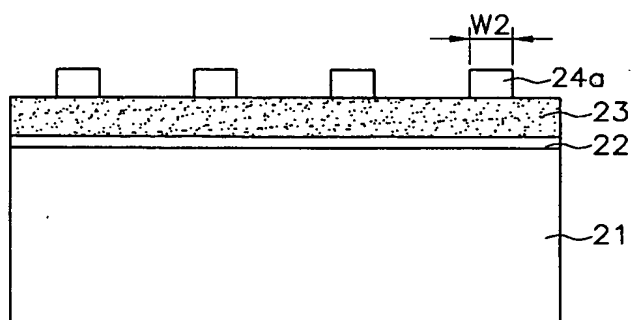
【도 2b】



【도 2c】



【도 2d】



【도 2e】

